**实验1 可编程逻辑器件FPGA应用--加减运算电路的设计**

一．实验目的

1. 掌握中规模数字集成器件的逻辑功能及使用方法
2. 熟悉组合逻辑电路的设计方法
3. 了解数字可编程器件的应用设计
4. 学会QUARTUS软件的基本使用方法

二．实验器材

1、软件：QUARTUSII

2、硬件：DE-2实验板，PC机

三．实验原理

（简述设计中所用中规模集成器件的功能原理）

四．实验内容

1. 设计一个两组四位二进制数的加减运算显示电路。要求：一个控制加减运算的功能按键；两数相加的绝对值不大于15；用两个七段数码管显示算术运算结果（0～15）；当运算结果为负数时，红色发光二极管亮。

在QUARTUSII中进行：

（1）电路设计（画出原理图或写出HDL程序）

（2）功能仿真（波形截图）

（3）时序仿真（波形截图）

2、下载DE-2板验证设计结果。

五．实验总结

1. 实验故障及解决方法
2. 实验体会

六．思考题

1. 当运算结果大于15时，显示译码电路如何设计？
2. 如何实现两个一位十进制数的加减运算电路？